

SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

Publication Number: 2000-208753 (JP 2000208753 A) , July 28, 2000

Inventors:

- TOYAMA TAKAYUKI

Applicants

- SONY CORP

Application Number: 11-010801 (JP 9910801) , January 19, 1999

International Class:

- H01L-029/778
- H01L-021/338
- H01L-029/812

Abstract:

PROBLEM TO BE SOLVED: To reduce resistance between a source electrode and drain electrode and a channel layer, while the mutual conductance and linearity of a source-gate capacitance to a gate voltage are superior, for conducting high-efficiency low voltage drive. **SOLUTION:** Provided with a channel layer 34, a source electrode 38 and a drain electrode 39 are provided on its sides with a gate electrode 40 interposed inbetween. Distances from the source electrode 38 and drain electrode 39 to the channel layer 34 are set shorter than that from the gate electrode 40 to the channel layer 34. **COPYRIGHT:** (C)2000,JPO

JAPIO

© 2004 Japan Patent Information Organization. All rights reserved.
Dialog® File Number 347 Accession Number 6622942

拒絶引用S 03 P 0804W000

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-208753

(P2000-208753A)

(43) 公開日 平成12年7月28日 (2000.7.28)

(51) Int.Cl.⁷

H 0 1 L 29/778

21/338

29/812

識別記号

F I

H 0 1 L 29/80

タームコード* (参考)

H 5 F 1 0 2

審査請求 未請求 請求項の数11 O L (全 8 頁)

(21) 出願番号

特願平11-10801

(22) 出願日

平成11年1月19日 (1999.1.19)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 遠山 隆之

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(74) 代理人 100080883

弁理士 松隈 秀盛

Fターム(参考) 5F102 FA02 FA07 GC01 GD05 GJ05

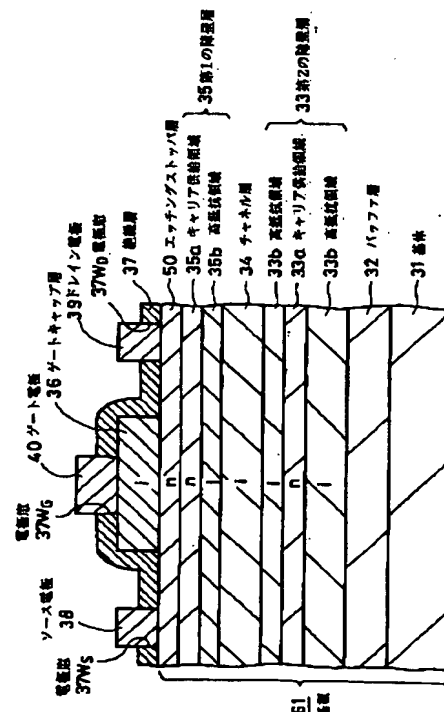
GK08 GL08 GM08 GQ01 HC01

(54) 【発明の名称】 半導体装置とその製造方法

(57) 【要約】

【課題】 相互コンダクタンス G_m およびソース・ゲート間容量 C_{gs} のゲート電圧 V_g に対する線型性に優れ、しかもソース電極およびドレイン電極とチャネル層間の抵抗の低減化を図り、高効率低電圧駆動を行うことができるようにする。

【解決手段】 チャネル層34を有し、ゲート電極40を挟んでその両側にソース電極38とドレイン電極39とが配置された半導体装置であって、チャネル層34に対するソース電極38およびドレイン電極39からの各距離が、チャネル層34に対するゲート電極40からの距離より小に選定された構成とする。



【特許請求の範囲】

【請求項 1】 チャンネル層を有し、ゲート電極を挟んでその両側にソース電極とドレイン電極とが配置された半導体装置であって、

上記チャンネル層に対する上記ソース電極およびドレイン電極からの各距離が、上記チャンネル層に対する上記ゲート電極からの距離より小に選定されて成ることを特徴とする半導体装置。

【請求項 2】 上記ゲート電極下の上記チャンネル層との間に、チャンネル層のバンドギャップより大なるバンドギャップを有するゲートキャップ層が設けられて成ることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 上記ゲート電極下の上記チャンネル層との間に、チャンネル層のバンドギャップより大なるバンドギャップを有するゲートキャップ層が設けられ、
上記ゲートキャップ層と、上記チャンネル層との間に、上記チャンネル層のバンドギャップより大なるバンドギャップを有する第 1 の障壁層が配置され、
該第 1 の障壁層には、第 1 導電型不純物を含むキャリア供給領域が配置されて成ることを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】 上記ゲート電極と上記チャンネル層との間に、チャンネル層のバンドギャップより大なるバンドギャップを有するゲートキャップ層が設けられ、
該ゲートキャップ層は、上記ゲート電極との対向部に、高抵抗領域あるいは第 2 導電型領域の一方もしくは双方を有して成ることを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】 上記ゲートキャップ層と、上記第 1 の障壁層との間に厚さ 2 nm 以上のエッチングストップ層が配置されて成ることを特徴とする請求項 3 に記載の半導体装置。

【請求項 6】 上記第 1 の障壁層のキャリア供給領域は、III-V 族化合物半導体の AlGaAs 混晶から成り、
上記エッチングストップ層は、III-V 族化合物半導体の GaAs から成り、
上記チャンネル層は、III-V 族化合物半導体の InGaAs 混晶から成ることを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】 上記チャンネル層の、上記第 1 の障壁層とは反対側に第 2 の障壁層が配置されて成ることを特徴とする請求項 3 に記載の半導体装置。

【請求項 8】 上記チャンネル層は、III-V 族化合物半導体の InGaAs 混晶から成り、上記第 2 の障壁層は、III-V 族化合物半導体である AlGaAs 混晶から成り、その少なくとも一部に第 1 導電型不純物を含むキャリア供給領域を有して成ることを特徴とする請求項 7 に記載の半導体装置。

【請求項 9】 上記チャンネル層が、III-V 族化合物半

導体の InAs 系化合物半導体より成ることを特徴とする請求項 1 に記載の半導体装置。

【請求項 10】 チャンネル層を有し、ゲート電極を挟んでその両側にソース電極とドレイン電極とが配置される半導体装置の製造方法であって、
基体上に、少なくとも上記チャンネル層と、該チャンネル層のバンドギャップに比しバンドギャップがそれぞれ大なる第 1 の障壁層と、ゲートキャップ層とを成膜する工程と、

上記ゲートキャップ層の、ソース電極およびドレイン電極の形成部をエッチング除去する工程とを有し、
上記チャンネル層に対する上記ソース電極およびドレイン電極からの各距離が、上記チャンネル層に対する上記ゲート電極からの距離より小に選定されて成る半導体装置を得ることを特徴とする半導体装置の製造方法。

【請求項 11】 上記成膜工程において、上記第 1 の障壁層上にエッチングストップ層を介して上記ゲートキャップ層を成膜し、上記ゲートキャップ層の、ソース電極およびドレイン電極の形成部の除去を、上記チャンネルストッパ層によるエッチングの深さの制御によって行うことを特徴とする請求項 10 に記載の半導体装置の製造方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は、少なくとも電界効果トランジスタを有する単体半導体装置、あるいは半導体集積回路等の半導体装置とその製造方法に係わる。

【0002】

【従来の技術】近年、携帯電話などの移動体通信システムにおいて端末の小型化および低消費電力化が強く求められている。そのため、をれを構成するトランジスタ等の半導体装置においても同様な要求がなされている。例えば現在の移動体通信の柱ともいえるデジタルセルラー用パワーアンプについては、単一正電源の動作が可能で、かつ低電圧高効率駆動のものが求められている。

【0003】現在、パワーアンプ用として実用化されているデバイスの 1 つにヘテロ接合型電界効果トランジスタ H F E T (Hetero Junction Field Effect Transistor: 以下 H F E T という) がある。この H F E T は、ヘテロ接合を利用して電流変調を行うものであり、図 8 は、従来の H F E T の概略構成図を示すものである。この H F E T は、半絶縁性単結晶 GaAs よりなる基体 11 上に、GaAs によるバッファ層 12、AlGaAs による第 2 の障壁層 13 と、InGaAs よりなるチャンネル層 14 と、AlGaAs よりなる第 1 の障壁層 15 とが順次積層されて成り、第 1 の障壁層 15 上にはゲート電極 20 が形成されている。各障壁層 13 および 15 は、n 型不純物を含むキャリア供給領域 13a および 15a を、それぞれ高抵抗領域 13b および 15b 中に有して成る。

【0004】第1の障壁層15上には、ゲート電極20が配置され、このゲート電極20を挟んでその両側に、それぞれキャップ層16を介して、ソース電極18とドレイン電極19とがオーミックに被着されて成る。この構成によって、ゲート電極20への印加電圧によってソース電極18およびドレイン電極19間の電流を変調するようになされる。

【0005】また、HFE Tでは、一般に図8で示したように、第1の障壁層15の厚さをゲート電極20下とその近傍において薄くするリセス構造とすることが多く、その直下のチャネル層の領域にはキャリアが空乏化、あるいは他のチャネル領域に比べてキャリアが少ない領域が形成される。

【0006】このような構造を有するHFE Tでは、ゲート電極に正電圧を印加することでチャネル層にキャリアが蓄積されてチャネルが形成される。この構造によるHFE Tは、原理的に他の例えば接合型電界効果トランジスタ（以下JFE Tという）や、ショットキー接合型電界効果トランジスタ（以下MESFE Tという）に比して、ゲート・ソース間容量 C_{gs} および相互コンダクタンス G_m のゲート電圧 V_g に対する線型性に優れているという特徴を有している。これは、パワーアンプの高効率化を目指す上で、大きな利点となっている。

【0007】

【発明が解決しようとする課題】上述したようにHFE Tは大きな利点を有するが、上述の構造による場合、ドレイン電極19に注入された電流は、ドレイン電流直下のキャップ層16および第1の障壁層15を横切り、チャネル層14に達し、そのままソース電極18下に流れ、障壁層15およびソース電極18下のキャップ層16を横切ってソース電極18に達する。ところで、一般的に、第1の障壁層15には、高抵抗領域15bを含むため、ソースおよびドレイン間の抵抗が充分小さくならず、電流損失が大きく、また、ジュール熱の発生等による電流部分の劣化を招きやすいという問題がある。

【0008】本発明は、上述した問題の解決を図って、HFE Tの特徴、すなわち、単一正電源で容易に動作でき、相互コンダクタンス G_m およびソース・ゲート間容量 C_{gs} のゲート電圧 V_g に対する線型性に優れ、しかもソース電極およびドレイン電極とチャネル層間の抵抗の低減化を図り、高効率低電圧駆動を行うことができるようにした例えば半導体装置とその製造方法を提供するものである。

【0009】

【課題を解決するための手段】本発明による半導体装置は、チャネル層を有し、ゲート電極を挟んでその両側にソース電極とドレイン電極とが配置された半導体装置であって、チャネル層に対するソース電極およびドレイン電極からの各距離が、チャネル層に対するゲート電極からの距離より小に選定された構成とする。また、上述の

構成において、ゲート電極下のチャネル層との間に、チャネル層のバンドギャップより大なるバンドギャップを有するゲートキャップ層を設けた構成とする。

【0010】また、本発明による半導体装置の製造方法は、チャネル層を有し、ゲート電極を挟んでその両側にソース電極とドレイン電極とが配置される半導体装置の製造方法であって、基体上に、少なくともチャネル層と、第1の障壁層と、チャネル層のバンドギャップに比しバンドギャップがそれぞれ大なる第1の障壁層と、ゲートキャップ層とを成膜する工程と、ゲートキャップ層のソース電極およびドレイン電極の形成部を除去する工程とを有しチャネル層に対するソース電極およびドレイン電極からの各距離が、チャネル層に対するゲート電極からの距離より小に選定されて成る半導体装置を得るものである。

【0011】本発明は、上述したように、チャネル層に対するソース電極およびドレイン電極からの各距離を小に選定したことにより、ソースおよびドレイン間の抵抗を小とするものであり、このようにすることによって低電圧駆動を行うことができるようにする。

【0012】また、本発明において、ゲート電極下にチャネル層よりバンドギャップの大きい層を設けたことにより、第1の障壁層からのキャリアを、よりバンドギャップの小さいチャネル層側へと移行できることによってチャネル層へのキャリアの供給を効率良く行うことができ、高効率低電圧駆動がなされる半導体素子、特にHFE Tを有する半導体装置を構成する。

【0013】

【発明の実施の形態】本発明による半導体装置の一実施の形態を説明する。図1は、単一のHFE Tが、半導体基板61上に形成された半導体装置の一例の概略断面図を示すが、本発明装置は、この例に限られるものではない。この例では、例えば半絶縁性GaAs単結晶による基体11上に、不純物が添加されていない、すなわちアンドープのGaAsより成るバッファ層32がエピタキシャル成長され、この上に、III-V族化合物半導体より成る第2の障壁層33、チャネル層34および第1の障壁層35が、順次エピタキシャル成長により積層されて成る。

【0014】第1の障壁層35上には、後述するエッチング工程で用いられるエッチングストップ層50が、5nm程度の厚さをもって被着される。そして、このエッチングストップ層50上のゲート電極の形成部に、ゲートキャップ層36が形成される。

【0015】ゲートキャップ層36と、エッチングストップ層50の外部に臨む表面に絶縁膜37が、例えば厚さ300nmに被着形成され、この絶縁膜37には、ゲートキャップ層36上と、その両側のエッチングストップ層50上に、それぞれ電極窓37WGと、37WSおよび37WDが開口され、これら電極窓37WG、37

10

20

30

40

50

WS、37WDを通じて、ゲートキャップ層36と、エッチングストップ層50とにゲート電極40と、ソース電極38およびドレイン電極39がコンタクトされる。

【0016】そして、上述の第2の障壁層33は、チャネル層34を構成する半導体のバンドギャップより大きいバンドギャップを有する半導体、例えば $Al_xGa_{1-x}As$ 混晶によって構成されることが好ましく、そのAlの組成比xは、 $0.2 \leq x \leq 0.3$ とされる。また、この第2の障壁層33は、基体31側から、厚さ例えば200nm程度のアンドープの高抵抗領域33b、厚さ例えば4nmのn型の不純物例えばSiを高濃度例えば $3.0 \times 10^{18}/cm^3 \sim 4.0 \times 10^{18}/cm^3$ 程度添加したキャリア供給層33a、上述したと同様の高抵抗領域33bとが順次積層された構造を有する。

【0017】チャネル層34は、ソース電極38とドレイン電極39との間の電流経路を構成するものであり、第1および第2の障壁層35および33を構成する半導体よりバンドギャップが小さいアンドープ半導体によって構成される。このチャネル層34としては、例えば $In_xGa_{1-x}As$ 混晶によって構成されることが好ましく、そのInの組成比yは、 $0.1 \leq x \leq 0.2$ とされる。

【0018】また、第1の障壁層35は、チャネル層34を構成する半導体よりも広いバンドギャップを有する半導体により構成されている。例えば $Al_xGa_{1-x}As$ によって構成されることが好ましく、この場合のAl組成比xは、 $0.2 \leq x \leq 0.3$ とされる。また、この第1の障壁層35は、チャネル層34側から、厚さ例えば2nm程度のアンドープの高抵抗領域35b、厚さ例えば4nmのn型の不純物例えばSiを高濃度例えば $3.0 \times 10^{18}/cm^3 \sim 4.0 \times 10^{18}/cm^3$ 程度添加したキャリア供給層35a順次積層された構造を有する。

【0019】この構成によってチャネル層34には、第2の障壁層33のキャリア供給層33aおよび第1の障壁層35のキャリア供給層35aから供給されたキャリアが蓄積されるようになされている。

【0020】また、エッチングストップ層50は、後述するように、ゲートキャップ層36をゲート形成部に限定的に形成するためのエッチング工程において、そのエッチングを停止させる効果を有するもので、例えばゲートキャップ層36が $AlGaAs$ によって構成するとき、エッチングストップ層50としては、 $GaAs$ 、特にn型 $GaAs$ によって構成することが好ましい。また、ゲートキャップ層36が $GaAs$ のとき、エッチングストップ層50は、Al組成比が約0.5の $AlGaAs$ によって構成することが好ましい。

【0021】そして、ゲートキャップ層36は、少なくともチャネル層34を構成する半導体よりもバンドギャップが広い半導体による構成される。このゲートキャッ

プ層36は、例えば $Al_zGa_{1-z}As$ によって構成することが好ましくAl組成zは、 $0.2 \leq z \leq 0.3$ とする。ゲートキャップ層36は、不純物を添加していないアンドープの高抵抗半導体によって構成する。

【0022】このバンドギャップが大なるゲートキャップ層36上には、順次、例えばTi、PtおよびAuを積層して成るゲート電極40がオーミックに被着形成される。また、このゲート電極40を挟んでその両側には、エッチングストップ層50上に、それぞれ順次下層から例えばAuGe、NiおよびAuが被着され、合金化の熱処理によって第1の障壁層35にオーミックにコンタクトされたソース電極38およびドレイン電極39が形成される。

【0023】この構成によれば、チャネル層34とゲート電極40との間に、チャネル層34に比し大なるバンドギャップを有するゲートキャップ層36を配置したことにより、相互コンタクタンス G_m およびゲート・ソース間容量 C_{gs} のゲート電圧 V_g に対する線形性にすぐれ、更に電力負荷効率が高いFETを構成することができる。

【0024】すなわち、ゲートキャップ層36の配置によってしきい値電圧 V_{th} の制御を行うことができるが、このゲートキャップ層36のバンドギャップが大とされていることによって、このゲートキャップ層36にキャリア供給層35aからキャリアが入り込んでパラレルコンダクションを発生することを回避できる。また、例えばJFETやMESFETにおいては、イオン注入による不純物導入とその活性化によってチャネル層の形成がなされることから、このチャネル層は比較的厚くキャリアに分布が生じることから、コンダクタンス G_m のゲート電圧 V_g に対する線形性に劣ることになるが、HFETは、そのチャネル層をエピタキシャル成長によって形成し、その厚さも、例えば15nm程度に薄く構成されることから、上述の G_m の線形性にすぐれた特性を示す。また、JFETやMESFETにおける空乏層容量はゲート・ソース間容量 C_{gs} に密接に関連しているに比し、上述のHFETにおいては、チャネル層とゲート電極との間に既定値の高抵抗層（ゲートキャップ層）の容量が C_{gs} に関連していることから、ゲート電圧 V_g の依存性が小さくなる。

【0025】そして、上述したように、HFETのしきい値電圧 V_{th} の選定は、その1つの因子として、ゲート電極40とチャネル層34との間隔を選定することによるが、この間隔の選定は、例えばゲート電極40下に介在されるゲートキャップ層36の厚さ、抵抗率等の選定によって行うことができる。このように、ゲート電極40とチャネル層34の間には、ゲートキャップ層36が介在されるが、ソース電極38およびドレイン電極39とチャネル層34との間隔については、これら電極38および39が、第1の障壁層35にオーミックに

コンタクトされて、これらソース電極38およびドレイン電極39とチャンネル層34との間隔が、ゲート電極40とチャンネル層34との間隔より小なる、例えば数nmに選定することができることによって、ソース・ドレイン間のオン抵抗 R_{on} を小さくすることができる。

【0026】次に、上述の図1に示した本発明による半導体装置の製造方法の一例を説明する。

【0027】先ず、図2にその概略断面図を示す基板61を構成する。この基板61の作製は、先ず、例えば半絶縁性GaAs単結晶より成る基体31を用意する。この基体31上に、バッファ層32を成膜し、つづいて第2の障壁層33、チャンネル層34、第1の障壁層35、エッチングストップ層50、ゲートキャップ層361を順次例えばMOCVD (Metalorganic Chemical Vapor Deposition:有機金属気相成長) 法、MBE (Molecular Beam Epitaxy: 分子線エピタキシー) 法によってエピタキシャル成長する。

【0028】すなわち、基体31上に、例えば不純物がドーパされない、すなわちアンドープのGaAsより成るバッファ層32をエピタキシャル成長し、この上に、アンドープの例えばAlGaAsによる高抵抗領域33bと、第1導電型例えばn型の不純物のSiを添加したn型のキャリア供給層33aと、更にアンドープの例えばAlGaAsによる高抵抗領域33bとを順次連続エピタキシャル成長して第2の障壁層33を形成する。続いて、アンドープのInGaAs層によるチャンネル層34をエピタキシャル成長し、この上に、アンドープの例えばAlGaAsによる高抵抗領域35bと、第1導電型例えばn型の不純物のSiを添加したn型のキャリア供給層35aとを順次連続エピタキシャル成長して第1の障壁層35を形成する。更に続いてこの第1の障壁層35上に、第1導電型不純物例えばn型不純物のSiを添加した第1導電型のエッチングストップ層50をエピタキシャル成長し、更にこの上に、チャンネル層34よりバンドギャップが大きい例えばAlGaAsによるゲートキャップ層361を連続エピタキシャル成長して、半導体基板61を構成する。

【0029】この半導体基板61に対して、図示しないが、例えば隣り合う半導体素子の形共通の基板61に複数の互いに電気的に分離されるHFEETを構成する場合、あるいはHFEETと他の互いに電気的に分離される回路素子間に、いわゆるメサエッチングを行って分離溝を形成し、必要に応じてこの分離溝内に絶縁層を充填するとか、分離溝の壁面に絶縁層を被着形成することによって素子分離を行う。

【0030】次に、図3に示すように、図2で示したゲートキャップ層361に対して、最終的にゲート電極が形成される直下とその近傍周辺部を残して他部を選択的にエッチングしてゲートキャップ層36を形成する。このエッチングは、エッチングストップ層50に対するエ

ッチング速度に比して、ゲートキャップ層361に対して高いエッチング速度を示すエッチャントを用いてエッチングすることによって、少なくとも最終的にソース電極およびドレイン電極を形成する部分のゲートキャップ層361をエッチング除去する。

【0031】その後、図4に示すように、全面的に例えば窒化珪素SiNによる絶縁層37をCVD (Chemical Vapor Deposition) 法等によって被着形成する。この絶縁層37に対し、フォトリソグラフィによるパターンエッチング、すなわちフォトレジスト層の塗布、パターン露光、現像を行って、パターン化し、これをエッチングマスクとして絶縁層37に対するパターンエッチングを行って、ゲート電極の形成部に電極窓37WGを開口する。

【0032】図5に示すように、この電極窓37WGを通じて、ゲート電極40を形成する。このゲート電極40の形成は、例えばTi、PtおよびAuを順次一旦全面的に蒸着し、この積層金属層に対してフォトリソグラフィによるパターンエッチングによって形成することができる。その後、フォトリソグラフィによるパターンエッチングによって絶縁層37のソース電極およびドレイン電極の形成部にそれぞれ電極窓37Wsおよび37WDを形成する。

【0033】各電極窓37Wsおよび37WDを通じて、図1に示すように、それぞれソース電極38およびドレイン電極39を形成する。これら電極38および39は、例えば先ず全面的に一旦、AuGe合金とNiとを順次蒸着し、フォトリソグラフィによるパターンエッチングを行って、それぞれ所要のパターンを有するソース電極38およびドレイン電極39を形成する。その後例えば400℃程度の熱処理による合金化処理を行って、第1の障壁層35のキャリア供給層35aに対してオーミックコンタクトされたソース電極38およびドレイン電極39を形成する。このようにして、半導体基板61に少なくともHFEETによる半導体素子が形成された半導体装置を構成する。

【0034】上述の本発明製造方法によれば、ゲート電極40下に、ゲートキャップ層36、エッチングストップ層50を形成するものであるが、これら層は、チャンネル層や障壁層等と共に連続エピタキシャル成長によって形成することができることから、さほど製造工程数の増加を来すことがない。またソースおよびドレイン電極の形成部におけるゲートキャップ層36の除去のエッチングの深さは、エッチングストップ層50によって規定したことから、確実に選定することができることから、ばらつきなく安定した信頼性の高い目的とする半導体装置を得ることができる。

【0035】尚、上述した例では、GaAs基体31を用いた場合であるが、例えばInP系基体を用いることができ、この場合においては、InAs系の各半導体層

を成長させて本発明装置を構成することができる。

【0036】尚、図1および図2～図5で説明した例では、バンドギャップが大きいゲートキャップ層36が、アンドープすなわち高抵抗ゲートキャップ層とした場合であるが、図4で示した電極窓37WGを通じて、第2導電型例えばp型不純物のZnを気相拡散することによって、図6に示すように、ゲートキャップ層36の厚さ方向の一部に第2導電型の不純物を含む第2導電型領域46を形成してゲートキャップ層36に第2導電型領域46と高抵抗領域とが形成された構成とすると、図7に示すように、所要の深さのリセス47を設けて、所要のしきい値電圧 V_{th} を得る構成とすることもできるし、これらの組み合わせ構成とすることもできる。

【0037】また、図示の例では、第1導電型がn型で、第2導電型がp型とした場合であるが、これらが相互に逆の導電型とされた構成とすることもできる。

【0038】また、図示の例では、基板61上にHFETが単一に形成された場合であるが、このHFETを1つの回路構成とする半導体装置を適用することもできるなど上述した例に限られるものではなく、種々の構成による半導体装置に適用することができる。

【0039】

【発明の効果】上述したように、本発明による半導体装置は、チャンネル層34とゲート電極40との間に、チャンネル層34に比し大なるバンドギャップを有するゲートキャップ層36を配置したことにより、相互コンダクタンス G_m およびゲート・ソース間容量 C_{gs} のゲート電極 V_g に対する依存性が小さく、電力負荷効率が高いFETを構成することができる。

【0040】また、この構成によるHFETのしきい値電圧 V_{th} の選定は、その1つの因子として、ゲート電極40とチャンネル層34との間隔を選定することによるが、この間隔の選定は、例えばゲート電極40下に介在されるゲートキャップ層36の厚さ、抵抗率等の選定によって行うことができる。このように、ゲート電極40とチャンネル層34との間には、ゲートキャップ層36が介在されるが、ソース電極38およびドレイン電極39とチャンネル層34との間隔については、これら電極38および39が、第1の障壁層35にオーミックにコ

ンタクトされて、これらソース電極38およびドレイン電極39とチャンネル層34との間隔が、ゲート電極40とチャンネル層34との間隔より小なる、例えば数nmに選定することができることによって、ソース・ドレイン間のオン抵抗 R_{on} を小さくすることができ、高い電力負荷効率を得ることが可能となる。これによって、低電圧駆動を行うことができ、また高周波特性を向上させることができる。

【0041】また、本発明製造方法によれば、上述したようにさほど工程数を増加させることなく、ばらつきの少ない、安定した信頼性の高い半導体装置を製造することができる。

【図面の簡単な説明】

【図1】本発明による半導体装置の一例の概略構成図である。

【図2】本発明による半導体装置の製造方法の一例の工程における断面図である。

【図3】本発明による半導体装置の製造方法の一例の工程における断面図である。

【図4】本発明による半導体装置の製造方法の一例の工程における断面図である。

【図5】本発明による半導体装置の製造方法の一例の工程における断面図である。

【図6】本発明による半導体装置の他の例の概略構成図である。

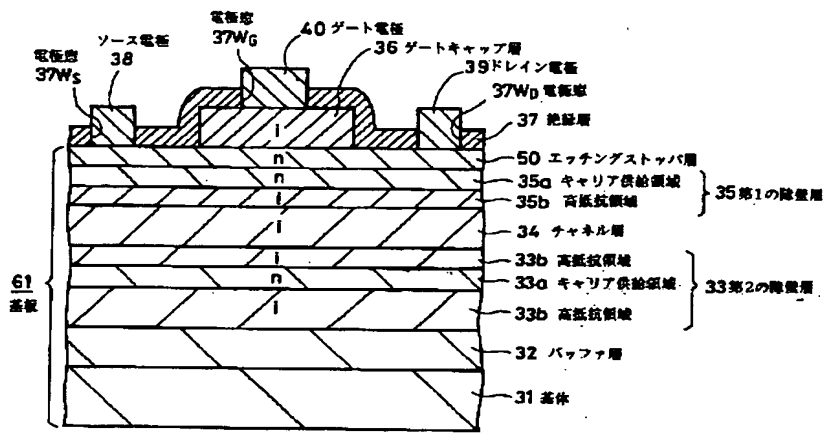
【図7】本発明による半導体装置の更に他の例の概略構成図である。

【図8】従来のHFETの概略構成図である。

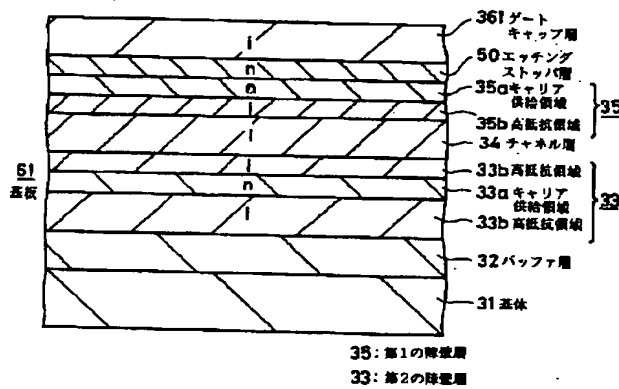
【符号の説明】

11, 31・・・基体、12, 32・・・パッド層、13, 33・・・第2の障壁層、15, 35・・・第1の障壁層、13a, 33a, 15a, 35a・・・キャリア供給領域、13b, 33b, 15b, 35b・・・高抵抗領域、16・・・キャップ層、18, 38・・・ソース電極、19, 39・・・ドレイン電極、20, 40・・・ゲート電極、36・・・ゲートキャップ層、37・・・絶縁層、37WS, 37WD, 37WG・・・電極窓、46・・・第2導電型領域、61・・・基板

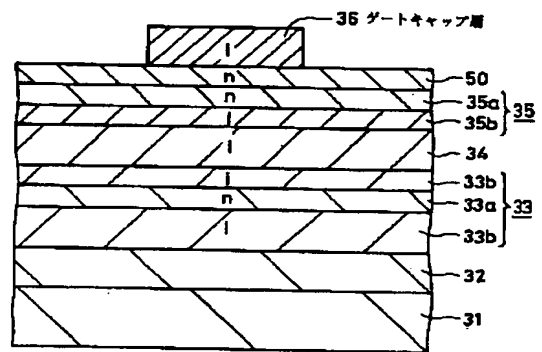
【図1】



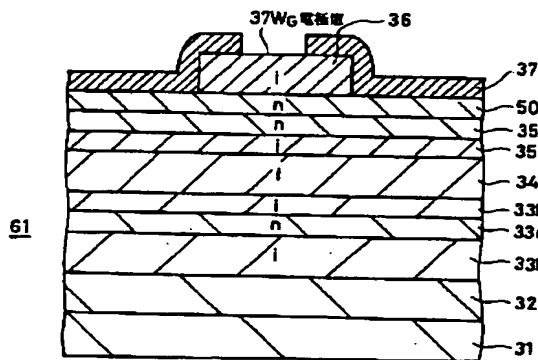
【図2】



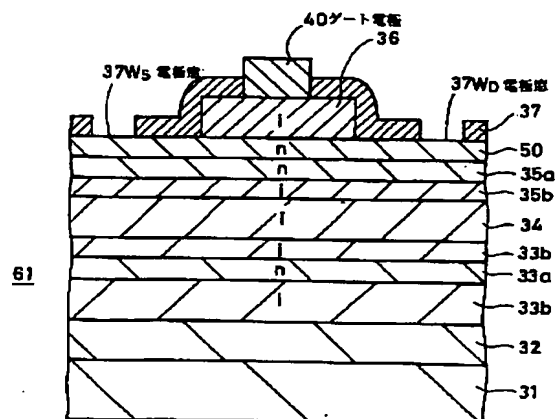
【図3】



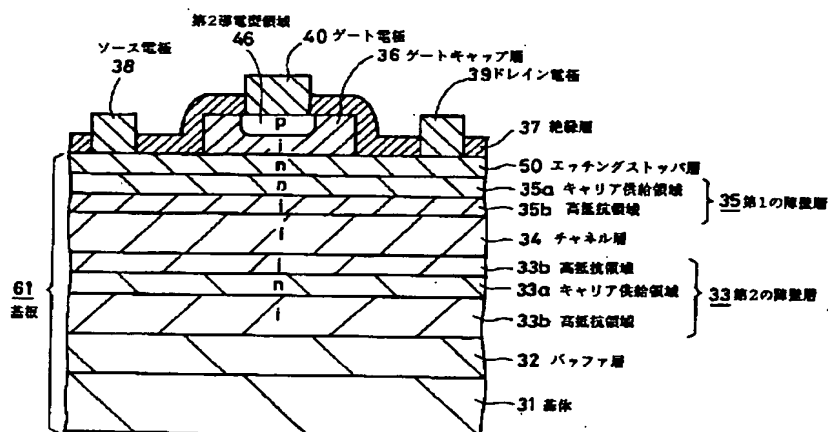
【図4】



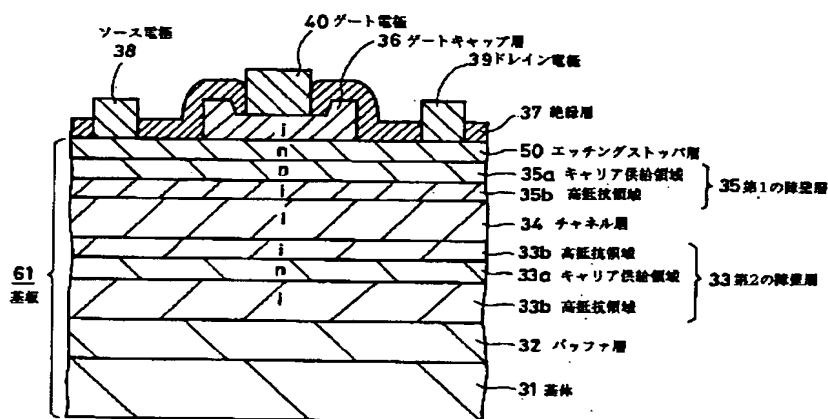
【図5】



【図6】



【図7】



【図8】

